

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-050149
(43)Date of publication of application : 21.02.1995

(51)Int.Cl. H01J 40/06
H01J 1/34
H01J 43/08

(21)Application number : 06-120061

(22) Date of filing : 01.06.1994

(71)Applicant : HAMAMATSU PHOTONICS KK

(72)Inventor : ARAGAKI MINORU
KINOSHITA KATSUYUKI
HIROHATA TORU
IHARA TSUNEZO
YAMADA MASAMI
ASAKURA NORIO
NEGI YASUHARU
SUZUKI TOMOKO

(30)Priority

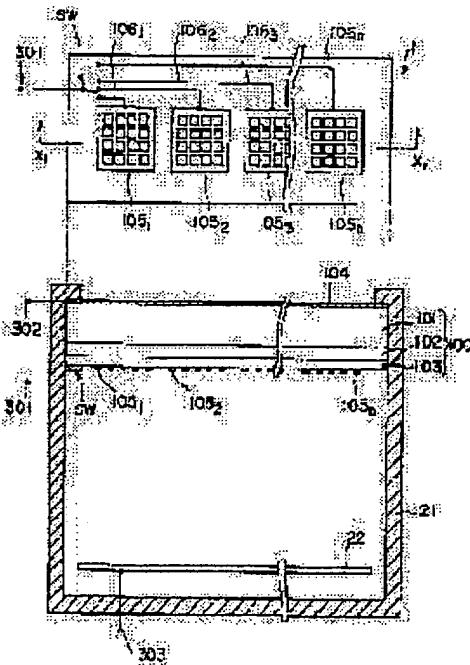
Priority number : 05132216 Priority date : 02.06.1993 Priority country : JP

(54) PHOTOELECTRIC CATHODE, PHOTOELECTRIC TUBE, AND PHOTO-DETECTING DEVICE

(57) Abstract:

PURPOSE: To provide a photoelectric cathode, a photoelectric tube, and a photo- detecting device having position resolution and high sensitivity.

CONSTITUTION: The surface electrode 105 of a photoelectric cathode 1 is divided into a plurality of picture element electrode 1051-105n and photoelectrons generated inside can be emitted to the outside for only the picture elements applied with bias. The one-dimensional position resolution can be attained when picture elements are aligned in a one-dimensional array shape, and the two-dimensional position resolution can be attained when picture elements are aligned in a two-dimensional matrix. A photoelectric tube is provided with the photoelectric cathode in a vacuum container 21 and a bias switching control means of a plurality of picture element electrodes, and it has the one-dimensional or two-dimensional position resolution. A photo-detector is provided with the photoelectric tube, a power source, a timing control means, and a memory means, and the memory means stores the output of an information of the picture element electrodes in the phot



LEGAL STATUS

[Date of request for examination] 27.06.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2651352

[Date of registration] 16.05.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-50149

(43)公開日 平成7年(1995)2月21日

(51)Int.CI.⁶
H 0 1 J 40/06
1/34
43/08

識別記号 広内整理番号
4230-5E
C
4230-5E

F I

技術表示箇所

審査請求 未請求 請求項の数21 O.L (全 15 頁)

(21)出願番号 特願平6-120061
(22)出願日 平成6年(1994)6月1日
(31)優先権主張番号 特願平5-132216
(32)優先日 平5(1993)6月2日
(33)優先権主張国 日本(JP)

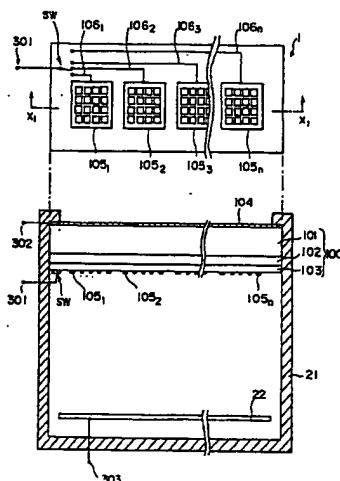
(71)出願人 000236436
浜松ホニクス株式会社
静岡県浜松市市野町1126番地の1
(72)発明者 新垣 実
静岡県浜松市市野町1126番地の1 浜松ホニクス株式会社内
(72)発明者 木下 勝之
静岡県浜松市市野町1126番地の1 浜松ホニクス株式会社内
(72)発明者 廣畠 徹
静岡県浜松市市野町1126番地の1 浜松ホニクス株式会社内
(74)代理人 弁理士 長谷川 芳樹 (外3名)
最終頁に続く

(54)【発明の名称】光電陰極、光電管および光検出装置

(57)【要約】 (修正有)

【目的】位置分解能を有する高感度の光電陰極、光電管および光検出装置を提供する。

【構成】光電陰極1の表面電極105は分割されて複数の画素電極105₁～105_nをなし、バイアスが印加された画素についてのみ、内部で生成された光電子を外部に放出させ得る。このため、画素電極を一次元のアレイ状に配列したときには一次元の位置分割能を、二次元のマトリクスに配列したときは二次元の位置分割能を実現できる。光電管は真空容器21に上記の光電陰極を有し、複数の画素電極のバイアス切換制御手段を設け、一次元又は二次元の位置分解能をもつ。光検出器は上記の光電管、電源、タイミング制御手段、メモリ手段を備え、光電子放出可能状態の画素電極の位置情報に対応させて、メモリ手段が陽極の出力を記憶する。



PP03-0063-00W0-HP
73.7.29
REPORT

2/5

【特許請求の範囲】

【請求項1】 入射光子によって内部に光電子を励起させる光電変換層を含み、この光電変換層の内部で生成されて加速された前記光電子を光電子放出面から外部に放出させる半導体層と、前記光電子放出面の前記半導体層上に形成された表面電極と、前記光電子放出面の反対面の前記半導体層上に前記表面電極と対向して形成された裏面電極とを備え。

前記表面電極は分割されて複数の画素電極を成すと共に相互に電気的に絶縁され。

前記複数の画素電極は前記裏面電極に比べて正のバイアス電位を独立に印加する複数のバイアス印加用配線にそれぞれ接続されていることを特徴とする光電陰極。

【請求項2】 前記半導体層はヘテロ接合構造を有する請求項1記載の光電陰極。

【請求項3】 前記半導体層はGaAs、AlAsまたはこれらの混晶のヘテロ接合構造を有する請求項2記載の光電陰極。

【請求項4】 前記半導体層はInP、GaAsまたはこれらの混晶のヘテロ接合構造を有する請求項2記載の光電陰極。

【請求項5】 前記半導体層はSi、Geまたはこれらの混晶のヘテロ接合構造を有する請求項2記載の光電陰極。

【請求項6】 前記半導体層の前記光電子放出面上には、アルカリ金属、アルカリ金属の化合物またはこれらの酸化物もしくは弗化物が塗付されており、前記アルカリ金属はCs、K、NaまたはRbである請求項1記載の光電陰極。

【請求項7】 前記半導体層と前記表面電極はショットキー接觸しており、前記半導体層と前記裏面電極はオーム接觸している請求項1記載の光電陰極。

【請求項8】 前記複数の画素電極は一次元のアレイ状、または二次元のマトリクス状に配列されている請求項1記載の光電陰極。

【請求項9】 前記表面電極は前記光電変換層で生成されて前記半導体層中を加速された前記光電子を通過させて外部に放出させる電子透過部を有している請求項1記載の光電陰極。

【請求項10】 前記表面電極がAl、Au、Ag、W、Ti、NiまたはWSiもしくはこれらの合金からなる請求項1記載の光電陰極。

【請求項11】 前記表面電極が前記光電子を透過し得る多数の開口を有する請求項1記載の光電陰極。

【請求項12】 前記表面電極が $1.0 \mu m$ 以下のピッチのストライプ、メッシュまたはグリッド形状のパターンを成す請求項1記載の光電陰極。

【請求項13】 前記裏面電極が透光性の材料からなり、または入射光子を透過し得る程度に薄い金属電極であり、または入射光子を透過し得る多数の開口を有する

金属電極である請求項1記載の光電陰極。

【請求項14】 前記光電変換層は半導体基板に構成され、かつ前記半導体基板上には前記複数の画素電極に個々に対応して設けられた複数本のバイアス印加用配線と、前記複数本のバイアス印加用配線と前記複数の画素電極との接続を個々にオン、オフさせることによりバイアス印加を個々に切り換える複数のスイッチ素子とが形成されている請求項1記載の光電陰極。

【請求項15】 前記半導体基板上には前記の複数スイッチ素子を個々にオン、オフさせる切換回路と、前記複数のスイッチ素子の個々の制御端子に前記切換回路の複数の出力端子を個々に接続する複数本の切換用配線とが形成されている請求項14記載の光電陰極。

【請求項16】 前記スイッチ素子はトランジスタであり、前記切換回路は前記トランジスタのゲート端子に出力端子が接続されたシフトレジスタである請求項15記載の光電陰極。

【請求項17】 前記複数の画素電極は、m行n列(m, nは2以上の整数)で二次元のマトリクス状に配置され、

前記複数のスイッチ素子は、前記m行n列の画素電極それぞれに対応して設けられ各行ごとに並列接続されたm × n個の第1のスイッチと、各行のそれぞれn個の前記第1のスイッチと行ごとに直列接続されたm個の第2のスイッチとを含み、

前記切換回路は、前記画素電極の行ごとに対応して設けられ、各行それぞれn個の前記第1のスイッチの前記制御端子にn個の出力端子がそれぞれ接続されたm個の第1のシフトレジスタと、m個の前記第2のスイッチの前記制御端子にm個の出力端子がそれぞれ接続された第2のシフトレジスタとを含む請求項15記載の光電陰極。

【請求項18】 真空容器と、
この真空容器の内部に配設された光電陰極と、
前記真空容器の内部に配設され前記光電陰極から放出された光電子を受容する陽極とを備え、

前記光電陰極は、入射光子によって内部に光電子を励起させる光電変換層を含み、この光電変換層の内部で生成されて加速された前記光電子を光電子放出面から外部に放出させる半導体層と、前記光電子放出面の前記半導体層上に形成された表面電極と、前記光電子放出面の反対面の前記半導体層上に前記表面電極と対向して形成された裏面電極とを有し、前記表面電極は分割されて複数の画素電極を成すと共に相互に電気的に絶縁され、前記複数の画素電極は前記裏面電極に比べて正のバイアス電位を独立に印加する複数のバイアス印加用配線にそれぞれ接続され、

更に、前記真空容器の内部には、前記複数本のバイアス印加用配線と前記複数の画素電極との接続を個々にオン、オフさせることによりバイアス印加を個々に切り換える複数のスイッチ素子と、前記複数スイッチ素子を個

々にオン、オフさせる切換回路と、前記複数のスイッチ素子の個々の制御端子に前記切換回路の複数の出力端子を個々に接続する複数本の切換用配線とを有する切換制御手段が設けられ。

前記真空容器から外部に導出された複数本のシステムピンのうち、少なくとも1本は前記裏面電極に、少なくとも1本は前記バイアス印加用配線に、少なくとも2本は前記切換回路の入力端子に、少なくとも1本は前記陽極に接続されていることを特徴とする光電管。

【請求項19】 前記光電変換層は半導体基板に構成され、前記切換制御手段は前記半導体基板上に形成されている請求項18記載の光電管。

【請求項20】 前記真空容器の内部には、前記光電陰極から放出された光電子を二次元電子増倍する電子増倍手段を更に有する請求項18記載の光電管。

【請求項21】 真空容器の内部に光電陰極と陽極とを有する光電管と、前記光電陰極および前記陽極に電位を印加する電源と、タイミング制御手段と、

メモリ手段とを備え、

前記光電陰極は、入射光子によって内部に光電子を励起させる光電変換層を含み、この光電変換層の内部で生成されて加速された前記光電子を光電子放出面から外部に放出させる半導体層と、前記光電子放出面の前記半導体層上に形成された表面電極と、前記光電子放出面の反対面の前記半導体層上に前記表面電極と対向して形成された裏面電極とを有し、前記表面電極は分割されて複数の画素電極を成すと共に相互に電気的に絶縁され、前記複数の画素電極は前記裏面電極に比べて正のバイアス電位を独立に印加する複数のバイアス印加用配線にそれぞれ接続され、

更に、前記真空容器の内部には、前記複数本のバイアス印加用配線と前記複数の画素電極との接続を個々にオン、オフさせることによりバイアス印加を個々に切り換える複数のスイッチ素子と、前記複数のスイッチ素子を個々にオン、オフさせる切換回路と、前記複数のスイッチ素子の個々の制御端子に前記切換回路の複数の出力端子を個々に接続する複数本の切換用配線とが設けられ、前記タイミング制御手段は、起動信号が与えられると連続的にタイミングパルスを前記切換回路に印加し、前記切換回路は前記タイミングパルスに応答して前記複数のスイッチ素子のオン、オフを順次に切換え、

前記メモリ手段は前記起動信号が与えられると記憶動作を開始し、前記タイミングパルスにもとづいて順次に光電子放出可能状態となった前記画素電極の位置に対応させて前記陽極の出力を記憶することを特徴とする光検出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、光電陰極、光電管およ

び光検出装置に関し、特に詳細には、微弱光について入射位置や、入射光像などの一次元あるいは二次元的な情報を得るための光検出技術に関する。

【0002】

【従来の技術】 微弱光について一次元あるいは二次元の位置情報を含む光検出を行なう一般的な装置として、イメージインテンシファイヤと固体撮像素子とを組み合わせて構成したものがある。この装置では、外観器の入力窓から光電陰極に入射した光子により光電子を励起し、

10 光電陰極から真空中に放出された光電子を電子レンズ系により集束・加速させた後、蛍光体で結像して再び光信号に変換して光増強がなされる。この増強された光信号をCCDなどの固体撮像素子により再び光電変換し、位置情報を電気信号として取り出している。

【0003】 このほかに、光電子増倍管に位置検出機能を持たせたものがある。この一例では、光電子増倍管のアノードを分割しマルチ化して光検出することによって位置情報を得る。また、光電子増倍管に位置検出機能を持たせる別の例として「特開昭60-20441」に記載されるものがある。

【0004】 この光電子増倍管は、フェースプレートの内壁面に光電陰極が形成されている。光電陰極と、ここから放出された光電子を第1段ダイノードへ導く電界を形成するための収束電極との間には、メッシュ電極が設けられ、このメッシュ電極は、光電陰極から光電陰極と収束電極の間の距離の約1/10の距離の位置において、一方の側にのみ配置されている。そして、第1段ダイノードへ光電子が到達するのを、一方の側から他方の側に徐々に妨げるような電界分布を形成する。このメッシュ電極へのバイアス電圧の印加により、光電陰極の光電子放出面の全面から放出された光電子のうち、一方の側のものが第1段ダイノードへの到達を妨げられる。つまり、光電子の軌道を変化させて、放出面の所定の部分から放出されたものを増倍して電気信号として出力する。この出力信号レベルとメッシュ電極へのバイアス電圧の印加のレベルとともにとづき、外部の判別装置により位置分解能をもった光検出が行なわれる。こうして、特定の位置に入射した光により励起され軌道を妨げられなかった光電子のみを検出して位置検出をする。

【0005】

【発明が解決しようとする課題】 イメージインテンシファイヤと固体撮像素子を組み合わせた従来例では、光信号→電気信号→光信号→電気信号へと変換させることは本質的に避けられず、カップリングロスなどにより効率が悪くなり性能が低下する。

【0006】 アノードを分割した光電子増倍管では、光電陰極と増倍部の間、増倍部とアノードとの間でのクロストークが問題となり、位置分解能は本質的に良くならない。

50 【0007】 また、メッシュ電極を介在された光電子増

倍管では、測定時に光電陰極の光電子放出面の全面から放出された光電子のうちの一部のみを検出して位置検出するため、S/N比の点で本質的な問題がある。さらに、位置分解能も光電子の軌道を変化せしめることにより位置判別するので、構造的にクロストークが多くなり、また1本の光電子増倍管で2カ所程度の位置判別しか可能とならず、多素子化は本質的に困難である。

【0008】そこで、本発明は、クロストークの少ない位置検出機能を有する光電陰極と、これを用いた光電管および光検出装置を実現することを目的とする。

【0009】

【課題を解決するための手段】本発明の光電陰極は、入射光子によって内部に光電子を励起させる光電変換層を含み、この光電変換層の内部で生成されて加速された光電子を光電子放出面から外部に放出させる半導体層と、光電子放出面の半導体層上に形成された表面電極と、光電子放出面の反対面上に表面電極と対向して形成された裏面電極とを備え、表面電極は分割されて複数の画素電極を成すと共に相互に電気的に絶縁され、複数の画素電極は裏面電極に比べて正のバイアス電位を独立に印加する複数のバイアス印加用配線にそれぞれ接続されていることを特徴とする。

【0010】本発明の光電管は、真空容器と、この真空容器の内部に配設された光電陰極と、真空容器の内部に配設され光電陰極から放出された光電子を受容する陽極とを備え、光電陰極は、入射光子によって内部に光電子を励起させる光電変換層を含み、この光電変換層の内部で生成されて加速された光電子を光電子放出面から外部に放出させる半導体層と、光電子放出面上に形成された表面電極と、光電子放出面の反対面の半導体層上に表面電極と対向して形成された裏面電極とを有し、表面電極は分割されて複数の画素電極を成すと共に相互に電気的に絶縁され、複数の画素電極は裏面電極に比べて正のバイアス電位を独立に印加する複数のバイアス印加用配線にそれぞれ接続され、更に、真空容器の内部には、複数本のバイアス印加用配線と複数の画素電極との接続を個々にオン、オフさせることによりバイアス印加を個々に切り換える複数のスイッチ素子と、複数のスイッチ素子を個々にオン、オフさせる切換回路と、複数のスイッチ素子の個々の制御端子に切換回路の複数の出力端子を個々に接続する複数本の切換用配線とが設けられ、タイミング制御手段は、起動信号が与えられると連続的にタイミングパルスを切換回路に印加し、切換回路はタイミングパルスに応答して複数のスイッチ素子のオン、オフを順次に切換え、メモリ手段は起動信号が与えられると記憶動作を開始し、タイミングパルスにもとづいて順次に光電子放出可能状態となった画素電極の位置に対応させて陽極の出力を記憶することを特徴とする。

って内部に光電子を励起させる光電変換層を含み、この光電変換層の内部で生成されて加速された光電子を光電子放出面から外部に放出させる半導体層と、光電子放出面の半導体層上に形成された表面電極と、光電子放出面の反対面の半導体層上に表面電極と対向して形成された裏面電極とを有し、表面電極は分割されて複数の画素電極を成すと共に相互に電気的に絶縁され、複数の画素電極は裏面電極に比べて正のバイアス電位を独立に印加する複数のバイアス印加用配線にそれぞれ接続され、更に、真空容器の内部には、複数本のバイアス印加用配線と複数の画素電極との接続を個々にオン、オフさせることによりバイアス印加を個々に切り換える複数のスイッチ素子と、複数のスイッチ素子を個々にオン、オフさせる切換回路と、複数のスイッチ素子の個々の制御端子に切換回路の複数の出力端子を個々に接続する複数本の切換用配線とが設けられ、タイミング制御手段は、起動信号が与えられると連続的にタイミングパルスを切換回路に印加し、切換回路はタイミングパルスに応答して複数のスイッチ素子のオン、オフを順次に切換え、メモリ手段は起動信号が与えられると記憶動作を開始し、タイミングパルスにもとづいて順次に光電子放出可能状態となった画素電極の位置に対応させて陽極の出力を記憶することを特徴とする。

【0012】

【作用】本発明の光電陰極によれば表面電極は分割されて複数の画素電極をなし、しかも、これらを画素電極は独立にバイアス電位が印加されるように構成されているので、バイアスが印加された画素についてのみ、内部で生成された光電子を外部に放出させ得る。このため、画素電極を一次元のアレイ状に配列したときには一次元の位置分割能を、二次元のマトリクスに配列したときは二次元の位置分割能を実現することができる。

【0013】本発明の光電管によれば、真空容器に上記の光電陰極を有すると共に、複数の画素電極へのバイアスの印加を切り換えるための切換制御手段が設けられているので、一次元あるいは二次元の位置分解能をもった光電管を実現できる。

【0014】本発明の光検出器によれば、上記の光電管と、電源との他に、タイミング制御手段とメモリ手段とを備えている。そして、このタイミング制御手段は、光電管における光電子放出可能状態の画素電極の位置情報に対応させて、メモリ手段が陽極の出力を記憶するようしているので、微弱光の一次元イメージあるいは二次元イメージをメモリ手段に格納することができる。

【0015】

【実施例】以下、添付図面を参照して、本発明のいくつかの実施例を説明する。なお、同一の要素には同一の符号を付し、重複する説明を省略する。

【0016】図1のように、光電陰極1の本体としての半導体層100は、InP基板101上にInGaAs

光吸收層102を形成し、その上にInPコンタクト層103を形成して構成されている。InP基板101の裏面にはAu(金)などからなるオーミック電極104が裏面電極として形成され、InPコンタクト層103の表面にはAl(アルミニウム)などからなるショットキー電極105が表面電極として形成されている。ここで、オーミック電極104は入射光を透過できるように薄く、あるいは多數の開口を有して形成され、ショットキー電極105は分割されて一次元のアレイ状に配列された画素電極105₁, 105₂, …, 105_nをなしている。そして、各画素電極はメッシュ状にパターン形成され、その開口を通して光電子が通過できる。InPコンタクト層103の表面のうち、特にメッシュ状画素電極の開口部には、表面の仕事関数を低下させるためのCs(セシウム)等が薄くコーティングされ、半導体層100の内部から外部の真空中に光電子が放出されやすくなっている。

【0017】図1のように、このような光電陰極1は真空容器21に取り付けられ、光電陰極1と対向する位置には陽極22が設けられる。各々の画素電極105₁, 105₂, …, 105_nにはバイアス印加用配線106₁, 106₂, …, 106_nが接続され、これらはスイッチSWを介して電源端子301に接続される。一方、オーミック電極104は電源端子302に接続されているが、端子302に比べて端子301は正の高電位となっている。このため、スイッチSWによって端子301からのバイアスが印加された画素電極105₁～105_nのみについて、オーミック電極104に比べて正の高電位となり、その開口および近傍の光電子放出面が光電子の放出可能な状態となる。真空中に放出された光電子は、陽極22の方向に進行する。なぜなら、陽極22には電源端子303を介して更に正の高バイアスにされているからである。

【0018】図2に示すように、オーミック電極104を透過して被検出光(hv)が入射されると、バンドキャップの狭いInGaAs光吸收層102中で光電変換され、光電子(-e)が生成される。このとき、オーミック電極104とショットキー電極105の間にバイアスが印加されると、光電子は下側の図のように光電子放出面の方向に半導体層100中を加速され、高エネルギーを得て真空中(準位VL)に放出される。したがって、ショットキー電極105を分割した個々の画素電極105₁～105_nへのバイアス印加をスイッチSWで個々にオン、オフすることにより、スイッチSWがオンとなった画素電極についてのみ、InGaAs光吸收層102の内部で生成した光電子を光電子放出面から半導体層100の外部、すなわち真空中に放出できる。

【0019】図3の光電陰極は、画素電極が一次元のアレイをなし、ホルダに固定されている。長尺の半導体層100はセラミック製のホルダ401に固定され、これ

はモリブデン製の金型402に固定され、半導体層100と金型402が絶縁されている。金型402には端子ピン403₁, 403₂, 403₃, 403₄が絶縁物を介して固定され、ピン403₁は正のバイアス電源+V_bと半導体層100上のバイアス印加ライン(図示せず)に接続され、ピン403₂はグランド(アース)と半導体層100上のオーミック電極104に接続され、ピン403₃, 403₄は半導体層100上のシフトレジスタ5の入力端子に接続される。ここで、シフトレジスタ5は画素電極105₁～105_nに順次にバイアスを印加するための切換制御手段であり、端子ピン403₃, 403₄を介して後述のスタートパルスSPとクロックパルスCLKが入力される。なお、半導体層100の光電子放出面以外の表面は、SiO₂などの絶縁膜120で覆われている。

【0020】図3の画素電極105₁～105_nは、i-1, i, i+1番目について斜視で表現すると、図4に示すようになっている。すなわち、画素電極105_iは15個の開口を有するメッシュ状にパターン形成され、角部に電界効果トランジスタ(FET)のスイッチ素子S_iを有する。そして、そのゲート電極はAl配線501_iによってシフトレジスタ5のi番目の出力端子に接続される。したがって、Al配線501_iを介してシフトレジスタ5からパルスが入力されると、i番目のスイッチ素子S_iがオンとなってバイアス印加用配線106_iから画素電極105_iにバイアス+V_bが印加される。このような動作は、i番目以外の1～i-1, i+1～n番目の画素についても全く同様である。

【0021】図5で立体的に等価回路を示すように、オーミック電極104と各々の画素電極105₁～105_nの間には、オーミック電極104がカソードとなるダイオードD₁～D_nが等価的に形成される。そして、シフトレジスタ5からの出力でスイッチS₁～S_nがオンすることにより、それぞれの画素のダイオードD₁～D_nは個々に逆バイアスとなる。すると、この逆バイアスの下での半導体層100内部の電界により、図2で示したように光電子は画素電極105_iの方向に加速されて高エネルギーを得、半導体層100の外部に放出される。なお、シフトレジスタ5の入力端子502にはクロックパルスCLKが、端子503にはスタートパルスSPが入力される。

【0022】この場合の動作を、図6と図7により説明する。ここで、画素電極105₁～105_nに対応する各々の画素における光検出出力をP₁～P_nとする。この出力P₁～P_nは、図1のように構成したときの陽極22の出力A_{out}として外部に取り出される。図7のように、スタートパルスSPはシフトレジスタ5の起動のために与えられ、このパルスSPが与えられると、シフトレジスタ5はクロックパルスCLKに応答して出力端子501₁～501_nからパルスが放出され、これによ

り、FETからなるスイッチ素子S₁～S_nが順次にオンとなり、各画素電極105₁～105_nに順次にバイアス+V_bが印加される。これにより、各画素からの光電子放出が順次に可能状態となって、出力P₁～P_nが順次にアノード出力A_{out}として外部に取り出される。

【0023】図8を参照して、上記の実施例に係る光電陰極を適用した光検出装置を説明する。図示のように、真空容器21の入力窓には透過型の光電陰極1が取り付けられ、内部には、切換制御部50と、陽極22と、光電子を二次元電子増倍するダイノード25が設けられている。電源61は真空容器21に貫通されたシステムピンを通して陽極22に陽極電位+V_bを供給し、ダイノード25にダイノード電位V_dを供給し、かつ切換制御部50にバイアス電位+V_bを供給する。タイミング制御部62は、オペレータの指示などに従ってスタートパルスSPを出力し、かつ一定周期のクロックパルスCLKを連続的に出力する。信号処理回路63はアノード出力A_{out}を増幅し、あるいは雑音除去のための閾値処理をし、あるいはアナログ/デジタル変換をするもので、出力信号をマイクロプロセッサなどのコントローラ付きの記憶装置64に与える。そして、記憶装置64にはディスプレイ装置65が接続されている。

【0024】この構成において、タイミング制御部62からスタートパルスSPが出力されると、切換制御部50と記憶装置64が起動し、それぞれがクロックパルスCLKに応答して動作する。すなわち、切換制御部50はクロックパルスCLKが入力される毎に各画素電極に対応する出力端子から順次にパルスを出力し、各画素を順次に光電子放出可能な状態とする。このようにして放出された光電子はダイノード25で増倍され、信号処理回路63を介して記憶装置64に与えられる。

【0025】このとき、記憶装置64にもタイミング制御部62からクロックパルスCLKが与えられているので、記憶装置64のコントローラはこのクロックパルスCLKをカウントした結果値に従って、アノード出力A_{out}を光電子放出可能な状態にされている画素の位置に対応させて記憶する。例えば、クロックパルスCLKのカウント値をアドレスとして、アノード出力A_{out}の値(デジタル変換された値)をデータとして記憶するものであり、このような処理は、図7のタイミングチャートから理解できる。全ての画素電極についての順次のオン、オフの切換えを複数回繰り返し、画素ごとにアノード出力A_{out}を加算しながら記憶装置64中の画素の位置に対応した記憶エリアに記憶すれば、画像化された検出光のイメージデータが得られる。このイメージは、CRTなどを備えたディスプレイ65で表示される。

【0026】図9は別の実施例の光電陰極を示し、上側は上面図、中央は、一部を断面で示す側面図、下側は底面図である。InP基板101上にInGaAsP光吸収層102、InPコンタクト層103がエピタキシャル成長により形成され、InP基板101の裏面上にはAuオーム電極104が形成されており、InPコンタクト層103上にはこの層とショットキ接合をする複数のAlショットキ電極105がパターン状に形成されている。ここで、基板101、光吸収層102およびコンタクト層103からなる半導体層100については、GaAsおよびAlAsあるいはこれらの混晶からなるヘテロ接合構造としてもよく、Ge(ゲルマニウム)およびSi(シリコン)あるいはこれらの混晶からなるヘテロ接合構造としてもよい。ショットキ電極105については、例えばAl、Au、Ag(銀)、W(タンゲステン)、Ni(ニッケル)またはTi(チタン)あるいはこれらの合金で形成できる。

【0027】ショットキ電極105のパターンについては、図9のような直交するライン状部材からなるメッシュ状電極でもよいが、図10のようなパターンでもよい。図10において、上側の図は六角形状の開口を有するメッシュ状電極のパターンを示し、中央の図は平行な部材からなるグリッド状電極のストライプパターンを示し、下側の図は歯車形状のパターンを示している。いずれも、光電子が通過するための開口が、10μm程度以下の間隔になっている。なお、光の入射は、裏面すなわちオーム電極104を介してなされてもよいが、表面すなわちショットキ電極105の開口を介してなされてもよい。裏面から光入射されるときには、オーム電極104は透過光性の材料から形成され、あるいは光を透過し得る程度に十分に薄い金属膜から形成され、あるいは光を透過し得る多数の開口を有する金属膜から形成される。

【0028】図9において、それぞれの画素電極105₁～105_nに対応してFETのスイッチS₁～S_nが近傍に形成されており、このFETのスイッチング機能によって電極105₁～105_nへのバイアス電圧のオン、オフが行なわれる。光電子放出面の表面には表面の仕事関数を低下させるためのCs(セシウム)が薄くコートされている。このようなコーティング材料は、アルカリ金属またはこの化合物、アルカリ金属の酸化物または弗化物である。アルカリ金属には、Csの他に、K(カリウム)、Na(ナトリウム)、Rb(リビシウム)が含まれる。基板101は、セラミックホルダ401で固定されており、その表面はAlショットキ電極105の部分を除いてSiO₂またはSiNの絶縁膜120で覆われている。

【0029】また、図9の例では、半導体層100上にはトランジスタからなるシフトレジスタ5が形成されており、FET S₁～S_nのゲートはそれぞれシフトレジスタ5のn本の出力端子に配線されている。シフトレジスタ5は、外部からのスタートパルスSPとクロックパルスCLKにより走査パルスを発生し、各FET S₁～S_nを順次オンさせて各Alショットキ電極105₁～

105. をアドレスする。なお、端子403₁、403₄は基板100上の回路と外部の回路の接続用である。端子403₂、403₃はシフトレジスタ5への信号入力のためのものであり、端子403₅は、FET S₁～S₅を介してショットキダイオードD₁～D₅へ外部からバイアス電圧+V_bを与えるためのものである。

【0030】図11は実施例の光電陰極をヘッドオン型光電子増倍管へ応用した場合の構成例を示したもので、上側は内側からフェースプレートを見た模式図、下側は外囲器21の軸方向の断面図である。なお、紙面の都合でn=6としている。光電陰極としての半導体基板を固定するセラミックホルダ402は、モリブデン製の固定金具405にスポット溶接で固定されており、電極端子403は面板から外側において接続されるようになっている。真空容器すなわち外囲器21の内部には収束電極26が設けられ、かつ8段のダイノード25₁～25₈が配列されている。そして、9段目の反射型ダイノード25₉の前側には陽極22が設けられている。この光電極増倍管では、6個の各画素に対応して6組の端子ピン403が設けられており、外部の制御回路の出力によって光電子放出可能となる画素が切り換えられる。

【0031】図12の光電子増倍管では、制御回路はフェースプレート405上に設けられたシフトレジスタ5で実現されている。そして、このシフトレジスタ5へのスタートパルスSPおよびクロックパルスCLKの入力は、システムピン406で実現される。

【0032】図11、図12の実施例は、いずれも透過型の光電陰極、すなわち、光子の入射方向と同一方向に光電子を放出させる（したがって、光子の入射面は光電子放出面の反対面）タイプの光電陰極を用いている。図13の実施例は、反射型の光電陰極すなわち光子の入射方向の反対方向に光電子を放出させる（したがって、光子の入射面は光電子放出面の同一面）タイプの光電陰極を用いている。このような光電子増倍管は、サイドオン型と呼ばれ、横断面の構造は図13に示される。ガラスなどの真空容器21から入射した光子は、集束電極（メッシュ状電極）を通過し、光電陰極1に入射する。放出された光電子はダイノード25₁～25₈で増倍され、アノード22に入射する。

【0033】図11、12、13の光電子増倍管の動作は、先に挙げた図7のタイミングチャートで説明できる。図7において、「S₁～S₅」はシフトレジスタからFETスイッチへの出力レベルを示し、ハイになっているときにスイッチはオンである。スタートパルスSPがハイレベルになることによりシフトレジスタ5が動作を開始し、クロックパルスCLKにより順次FETが動作しスイッチS₁～S₅がオンとなる。スイッチS₁～S₅のオンにより画素電極105₁～105₆に所定のバイアス電圧が印加された光電子放出面（即ちバイアス電圧の印加されたショットキダイオード）が動作する。

もちろん、この時バイアス電圧の印加されていないショットキ電極は光電子放出面として動作しないので、入射光の有無によらず光電子の放出はおこらない。図7の「P₁～P₆」は、各光電子放出面のバイアス電圧を示し、ハイになっているとき、動作状態になっている。

【0034】仮に、光電子増倍管の光電子放出面のP₁部分に光が入射したとすると、この部分にバイアス電圧の印加された時に光電子が放出される。光電子放出面P₁から放出された光電子は、収束電極によりその軌道を修正され、第1段ダイノードに入射する。第1段ダイノードでは入射した1次電子（光電子）の数倍の2次電子を生成・放出し、これらの2次電子は第2段ダイノード、第3段ダイノード…と増倍され最終的に10⁶倍程度にまで達しアノード22で光電流として検出される。

【0035】シフトレジスタ5からのアドレス信号により光電子放出面P₁～P₆が順次動作しているので、光電子放出面の各部からの光電子が増倍されて光電流として検出される。シフトレジスタ5への入力したクロックパルスCLKとアノード22で読み出した信号を同期させることにより、アノード出力A_{out}が光電子放出面P₁～P₆のどの位置から放出された光電子かが判別される。従って、アノード出力A_{out}とクロックパルスCLKのタイミングとから、入射した光についての一次元の位置情報を得ることができる。

【0036】ここでは、シフトレジスタ5を光電子放出面と同一基板上に形成し、FETのスイッチング及びアドレスを行う例を説明したが、図11のように画素ごとの端子からショットキ電極105のバイアス電圧を直接制御し、シフトレジスタ5を用いないで制御するようにすることも可能である。また、配線が複雑にならなければ、シフトレジスタ5を光電陰極をなす半導体基板の外に形成するようにすることも可能である。

【0037】図12の光電子増倍管の動作は、前述の図11の光電子増倍管と同じである。光電子放出面のP₁部分に光が入射したとすると、シフトレジスタ5からのアドレス信号により光電子放出面P₁～P₆が順次動作しているので光電子放出面P₁から放出された光電子は収束電極によりその軌道を修正され第1段ダイノードに入射する。第1段ダイノードでは入射した1次電子の数倍の2次電子を生成、放出しそれらの2次電子は第2段ダイノード、第3段ダイノード…と増倍され最終的に10⁶倍程度にまで達しアノード22で光電流として検出される。従って、シフトレジスタ5への入力したクロックパルスCLKとアノード22で読み出した信号を同期させることにより、アノード出力が光電子放出面P₁～P₆のどの位置から放出された光電子かが判別できる。

【0038】また、サイドオン型光電子増倍管へ応用することの可能であり、図13は、その場合の構成例について示している。光hνが入射するところに一次元位置検出機能を有する反射型光電子放出面が設けられ、上述

の実施例と同様、生じた光電子はダイノード 25₁～25_mで増倍されてアノード 22 で検出される。光電子の放出される方向が上述の透過型光電子放出面と異なるが、動作方法はヘッドオン型の場合と全く同様である。従来、不可能であった反射型光電子放出面による位置検出が本発明により可能となる。

【0039】図14は、光電子放出面を二次元位置検出機能を有するように構成した場合について、光電子放出面の本発明の実施例を示したものである。この実施例は、前述したような1次元位置検出機能を持たせた場合のものを図14の縦方向に複数(m行)並べた構成としたものである。さらに、図14には含まれていないが、縦方向をアドレスするためのシフトレジスタが外部(図の左側)に形成してある。つまり、各行の画素電極 105₁₁～105_{1m}, 105₂₁～105_{2m}, …, 105_{n1}～105_{nm}に対応してm個のシフトレジスタ 5A₁～5A_mが光電陰極1を形成した基板100上に形成される。また、m行の各々のバイアス印加用配線 106₁～106_mには、外部に設けられたシフトレジスタが端子ピンを介して接続されている。ここで、第1のシフトレジスタ 5A₁～5A_mはクロックパルス CLKとスタートパルス SP をそれぞれ端子ピンを介して外部から入力し、出力端子は各画素電極に対応してn個有している。また、外部に設けられる第2のシフトレジスタも CLKと SP を入力し、その出力は画素電極のm行n列の二次元のマトリクスに配置された光電陰極が実現される。

【0040】図15は、図14のm×n個のピクセル構成の光電子放出面を動作させる際の等価回路を示したもので、点線で囲んだ部分が図14の基板上に構成された回路を示している。横方向の第1のシフトレジスタ 5A₁, 5A₂, …, 5A_mは、図2の場合と同じ回路構成を持ち、スタートパルス SPとクロックパルス CLK₁によりまったく同時に並列動作しスイッチ S₁₁～S_{1m}を順次オンさせる。スイッチ SB₁～SB_mは、縦方向の第2のシフトレジスタ 5B の出力に接続して設けられ、クロックパルス CLK₂によりシフトレジスタ 5B によりアドレスされて順次オンになる。シフトレジスタ 5A₁, 5A₂, …, 5A_mの出力に設けられたスイッチ S₁₁～S_{1m}は、バイアス電圧+V_Bに対してスイッチ SB₁～SB_mと直列になっており、ショットキダイオード D₁₁～D_{1m}には、電源に直列のスイッチの両方がオンになったときに、外部からのバイアス電圧+V_Bが与えられる。

【0041】二次元位置検出機能を有する光電子増倍管は、図14, 15の光電子放出面を用いて一次元の場合と同様に構成し得る。図16は、この場合の光電子増倍管の動作についてタイミングチャートを示したものである。図16中の「S」はシフトレジスタから FETスイッチへの出力レベルを示し、ハイになっているときにはスイッチはオンである。

【0042】スタートパルス SPがハイレベルになると、すべてのシフトレジスタが同時に動作を開始する。クロックパルス CLK₁の入力によりシフトレジスタ 5B が縦列のFETが順次オンし、まず、スイッチ SB₁がアドレスされオンになる。クロックパルス CLK₂により、横列のシフトレジスタも同時に並列して動作する。これらのシフトレジスタの出力のいずれもがハイになっているとき、バイアス電圧+V_Bが与えられ、光電子放出面 P₁₁～P_{1m}から光電子を放し得るようになる。図16のタイミングチャートでいえば、スイッチ S₁₁がオンになっているとき、縦方向のスイッチ S₂₁～S_{2m}もオンになっているが、スイッチ SB₁がオンであれば、光電子放出面 P₁₁だけにバイアス電圧+V_Bが与えられ、これが動作する。そして、スイッチ SB₁がオンになっているとき、スイッチ S₁₁～S_{1m}のうち縦方向のものが順次オンになって、光電子放出面 P₁₁～P_{1m}が順次動作する。これが順次スイッチ SB₂, SB₃, …, SB_mについても行われる。

【0043】クロックパルス CLK₁をシフトレジスタ A₁₁～A_{1m}のクロックパルス CLK₂に同期させ、クロックパルス CLK₁の幅はクロックパルス CLK₂の周期のn倍とすることにより、ショットキダイオード P₁₁～P_{1m}に図の左上から右下まで順次バイアス電圧+V_Bを与えるようにスイッチをオンすることになる。そして、図の左上から右下まで順次光電子放出面 P₁₁～P_{1m}から入射光の励起で生じた光電子が放出され、増倍されて検出される。

【0044】前述の実施例と同様に、クロックパルス CLK₁及びクロックパルス CLK₂と読みだし信号を同期させることにより、入射光についての二次元の位置情報を得ることができる。従って、クロックパルス CLK₁, CLK₂とアノード出力を同期させることにより二次元の位置検出が可能である。もちろん前述したように、シフトレジスタあるいはスイッチングのためのFETは光電子放出面と同一基板上に形成しても、それ以外の部分に形成しても構わない。

【0045】図17に示すように、第1および第2のシフトレジスタは、全て光電陰極をなす基板100上に形成してもよい。このようにすれば、基板100の端子ピンを著しく少なくできるので、多画素として位置分解能を向上させ得る。なお、図17中の各符号には、図14, 15と同一要素について同一の符号を用いてある。

【0046】図18は、上述の本発明による光電子増倍管を用いて光位置検出装置の構成システムについて、その一例を示したものである。このシステムは、光電子増倍管PMTと、これを駆動するための駆動回路部及び信号を読み出すための読みだし回路部82、光電子増倍管PMTへ高電圧を供給するためのDC電源部81、光電子増倍管PMTへの入力クロックパルス(CLK, CLK₁, CLK₂など)を発生するパルスジェネレータ8

3、光電子増倍管PMTからの読みだし信号のA-D変換部84、オシロスコープ(又はCRT、LCDなどの表示装置)85及び制御用のコンピュータ部86から構成されている。光電子増倍管PMT以外のものは従来からあるものを使用している。上述したように光電子増倍管PMTへの入力クロックパルスを発生タイミングをコンピュータ86によって制御し、光電子増倍管PMTから読み出した信号の取り込みを行うことにより光電子増倍管PMTへの入射光の位置情報を簡単に得ることができ、また、これを画像化して表示装置で表示することも可能である。

【0047】このように、本発明の光電子放出面は、1つの基板上に形成された光電子放出面であるにもかかわらず、複数の画素電極のそれぞれ個別にバイアス電圧を印加することにより、複数の独立した光電子放出面として動作させることができる。このため、従来の光電子放出面を有する光検出器に比較して、はるかに簡単な構造でクロストークの非常に少ない位置検出が可能な光検出器を実現できる。

【0048】本発明の光電子放出面では、光電子の2次電子増倍により超高感度でかつ低雑音の光検出が可能となるので、微弱光下での位置検出、映像情報の検出を容易に行うことができる。さらに、バイアス電圧を印加していない部分はダーク電流による電子を放出しないので、光電子放出面として動作していない部分からの雑音が発生せず本質的に非常に低雑音な光検出器である。従って、本発明による光電子放出面を用いた光検出器及びこれを用いた光検出装置においては超高感度で、かつ、低雑音の位置検出が可能となる。

【0049】また、従来この種の位置検出機能を有する光電子放出面は、本質的に、光の入射方向と光電子を方とする方向が異なるいわゆる透過型構造でなければならなかった。しかし、本発明によれば、光の入射方向と光電子の放とする方向が同じであるいわゆる反射型構造においても位置検出機能を有することができ、デバイス構造、設計の自由度が大幅に拡張する。

【0050】本発明は、入射光を光電変換する光電子放出面の全面からの光電子を選別して増倍するのではなく、バイアス電圧をかけてその一部を機能させている。そのため、簡単に低雑音で、かつ、クロストークの非常に少ない位置検出機能を有する光電子放出面を得ることができる。また、増倍部を付加し光電子増倍部とすることにより超高感度な位置検出機能を有する光検出器が実現可能になる。

【0051】本発明は前述の実施例に限らず様々な変形が可能である。例えば、光電子放出面の主たる材料にInP及びInGaAsPを用いたもので説明したが、これに限らないことはもちろんである。またショットキ電極、オーミック電極、アルカリ金属なども本実施例で用いたものに限る訳ではない。また、シフトレジスタをア

ドレスデコーダとし別途入力アドレスパルスを加えることにより、ランダムアクセス可能な位置検出を行うことができる。

【0052】ところで、「U.S. PAT. 3, 958 143」には、内部電界を利用して光電子を加速し真空中へ放出させる光電子放出面の一例が開示されている。しかし、この文献記載の光電子放出面では、位置情報を得ることができない。また、「特開平4-269419」には、ショットキ電極をパターン状に形成した光電子放出面が示されているが、これも同様に複数の電極を形成するものではなく、また個別にバイアス電圧を印加するものでもないので、位置情報を得ることはできない。

【0053】

【発明の効果】以上の通り本発明の光電子増倍管によれば、光電面の光の入射位置に応じた検出出力を得ることができ、小型でコンパクトなものにし得る。本発明の光電子放出面を用いることで、上記光電子増倍管を構成することができる。また、本発明の光電子増倍管を用いた光検出装置によれば、光電面へ入射光が微弱なものであっても、入射光について1次元的または2次元的な情報を得ることができる。

【図面の簡単な説明】

【図1】実施例に係る光電陰極およびこれを有する光電管を示し、上側は光電陰極の上面図、下側は上側の図中のX₁-X₂線における光電管の縦断面図である。

【図2】図1の光電陰極のエネルギー・バンド構造を示し、上側はバイアス電圧を印加しない状態の図、下側はバイアス電圧を印加した状態の図である。

【図3】実施例に係る光電陰極の組立体を示す斜視図である。

【図4】実施例における画素電極のパターンの一例を示す斜視図である。

【図5】実施例の光電陰極の等価回路を立体的に示した図である。

【図6】実施例の光電陰極の等価回路を平面的に示した図である。

【図7】実施例の動作を示すタイミングチャートである。

【図8】実施例の光電陰極を用いた光検出装置を示す図である。

【図9】実施例の光電陰極の組立体を示す上面図、側面図および底面図である。

【図10】実施例の画素電極の別の例を示す上面図である。

【図11】実施例の光電陰極を用いたヘッドオン型光電子増倍管を示す図である。

【図12】実施例の光電陰極を用いたヘッドオン型光電子増倍管を示す図である。

【図13】実施例の光電陰極を用いたサイドオン型光電

子増倍管を示す図である。

【図14】二次元のマトリクス状にした実施例を示す図である。

【図15】二次元のマトリクス状にした実施例を示す図である。

【図16】元の実施例の動作を示すタイミングチャートである。

【図17】二次元のマトリクス状にした別の実施例を示

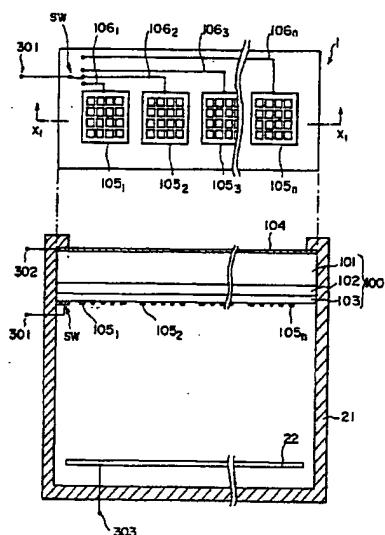
す図である。

【図18】実施例に係る光検出器を示すブロック図である。

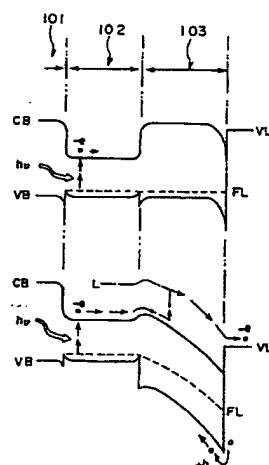
【符号の説明】

100…半導体層、104…オーミック電極（裏面電極）、105…ショットキ電極（表面電極）、5…シフトレジスタ、21…真空容器、22…陽極、25…ダイノード。

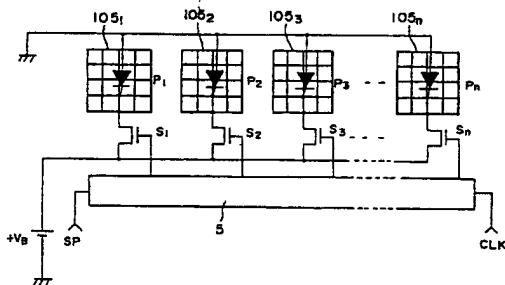
【図1】



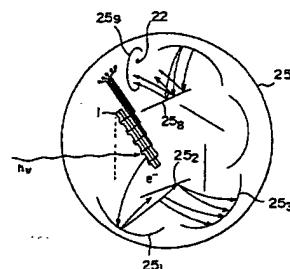
【図2】



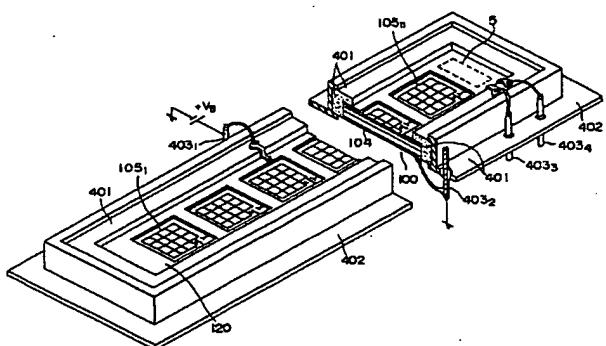
【図6】



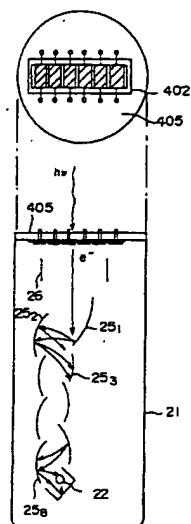
【図13】



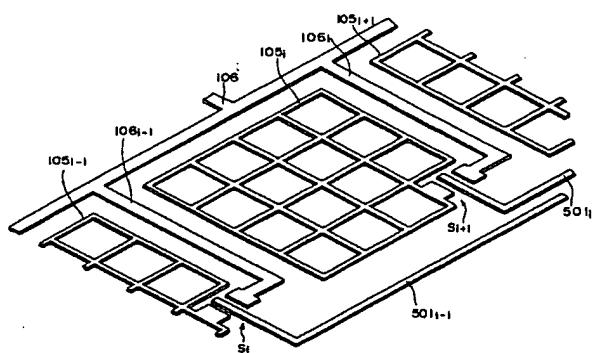
【图3】



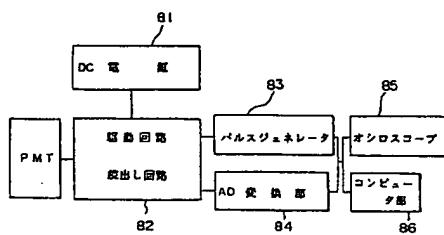
【图11】



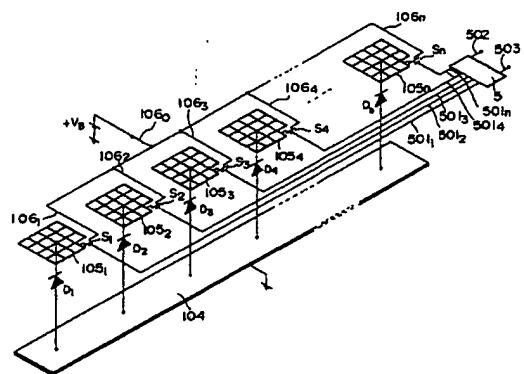
【四】



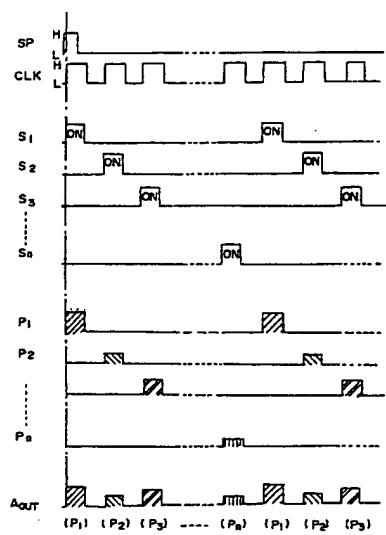
【图18】



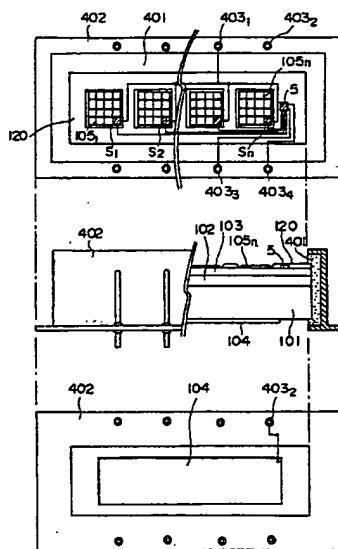
【図5】



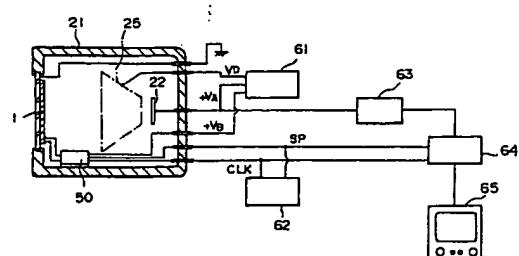
【図7】



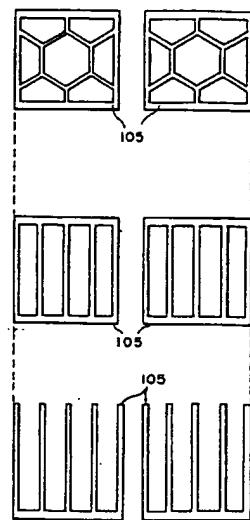
【図9】



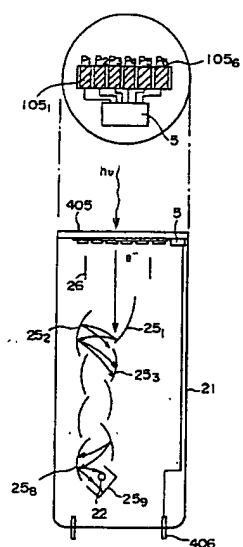
【図8】



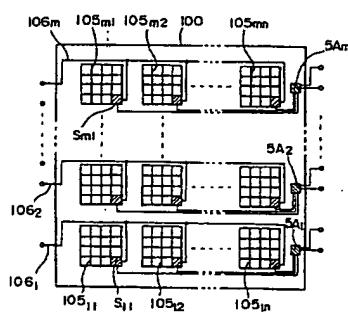
【図10】



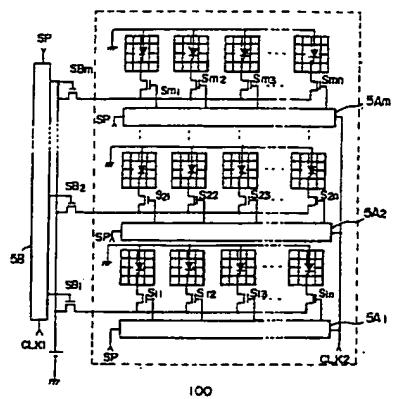
【図12】



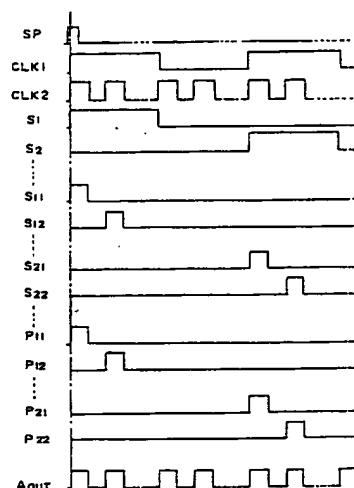
【図14】



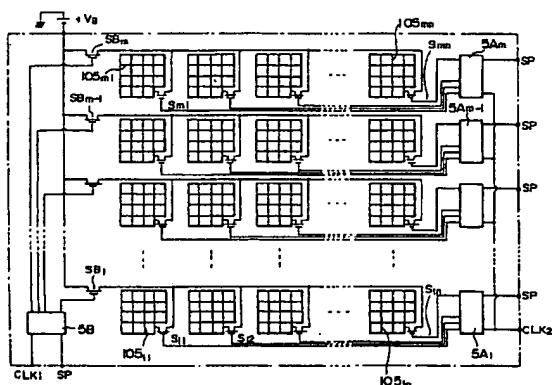
【図15】



【図16】



【図17】



フロントページの続き

(72)発明者 清原 常夫
静岡県浜松市市野町1126番地の1 浜松木
トニクス株式会社内

(72)発明者 山田 正美
静岡県浜松市市野町1126番地の1 浜松木
トニクス株式会社内

(15)

特開平7-50149

27

(72)発明者 朝倉 憲夫
静岡県浜松市市野町1126番地の1 浜松市
トニクス株式会社内

28

(72)発明者 根木 康晴
静岡県浜松市市野町1126番地の1 浜松市
トニクス株式会社内
(72)発明者 鈴木 智子
静岡県浜松市市野町1126番地の1 浜松市
トニクス株式会社内